



(19)

(11) Publication number:

08018355 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06152369

(51) Int. Cl.: H03F 3/45

(22) Application date: 04.07.94

(30) Priority:

(43) Date of application
publication: 19.01.96(84) Designated contracting
states:

(71) Applicant: ASAHI KASEI MICRO SYST KK

(72) Inventor: ADACHI TOSHIO

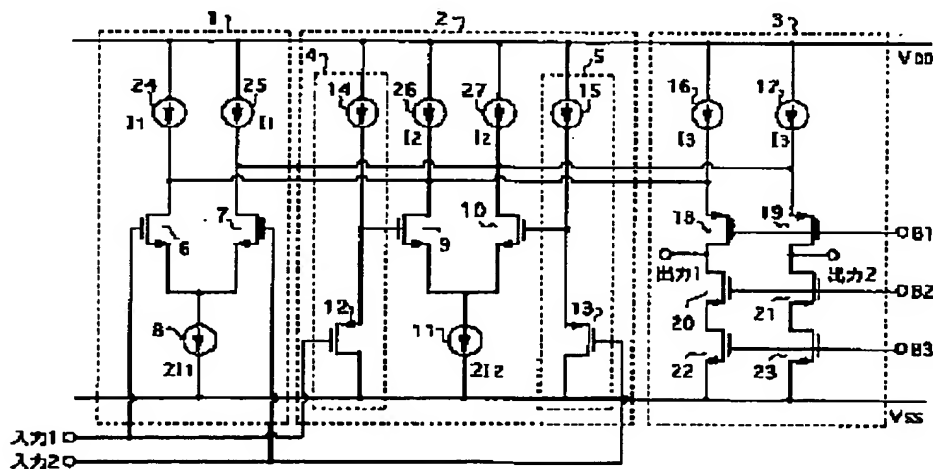
(74) Representative:

(54) OPERATIONAL AMPLIFIER

(57) Abstract:

PURPOSE: To provide the operational amplifier circuit which has a wide in-phase input signal range and has less distortion and is easy to design.

CONSTITUTION: When an in-phase input signal is in the vicinity of the middle between VDD and VSS, first and second differential amplification parts 1 and 2 are normally operated together. When the in-phase input signal is in the vicinity of VSS, the first differential amplification part is not operated because input MOSFETs 6 and 7 of the first differential amplification part 1 are turned off. Since the in-phase signal is shifted to the VDD side by actions of level shifters 4 and 5 of the second differential amplification part 2, input MOSFETs 9 and 10 of the second differential amplification part 2 are not turned off, and the second differential amplification part 2 is normally operated. When the in-phase input signal is on the VDD on side, the second differential amplification part 2 cannot be normally operated but the first differential amplification part 1 is normally operated, and therefore, this device is normally operated as an operational amplifier.



COPYRIGHT: (C)1996,JPO

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-18355

(43)公開日 平成8年(1996)1月19日

(51) Int.Cl.⁶

H03F 3/45

識別記号

庁内整理番号

FI

技術表示箇所

$$\mathbf{Z}$$

審査請求 未請求 請求項の数2 OL (全 6 頁)

(21)出願番号

特願平6-152369

(22) 出題目

平成6年(1994)7月4日

(71)出願人 594021175

旭化成マイクロシステム株式会社
東京都渋谷区代々木1丁目24番10号

(72)発明者 安達 敏男

神奈川県厚木市栄町1丁目1番3号 旭化成マイクロシステム株式会社内

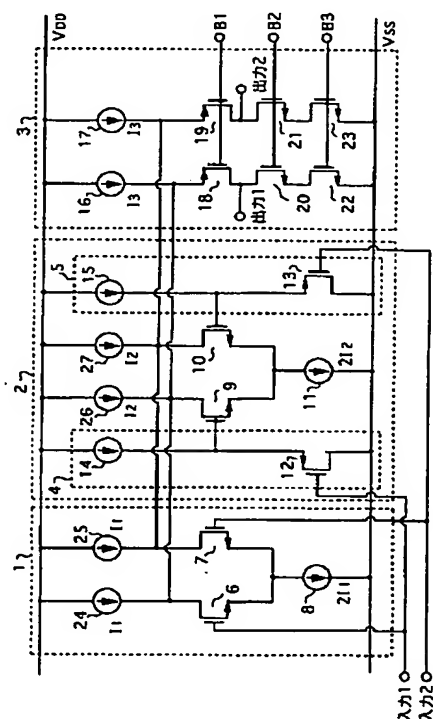
(74) 代理人 弁理士 谷 義一

(54) 【発明の名称】 演算増幅器

(57) 【要約】

【目的】 同相入力信号範囲が広く、歪みが少なく、しかも設計が容易な演算増幅回路を得ることが目的である。

【構成】 同相入力信号が V_{DD} と V_{SS} の中間近傍のときには、第1および第2差動増幅部1および2は共に正常に動作する。次に、同相入力信号が V_{SS} 近傍にあるときには、第1差動増幅部1の入力MOSFET 6および7がオフするために第1差動増幅部は動作しない。第2差動増幅部2のレベルシフタ4および5の働きによって、同相信号が V_{DD} 側にシフトしているので、第2差動増幅部2の入力MOSFET 9および10はオフせず、第2差動増幅部2は正常に動作する。また、同相入力信号が V_{DD} 側にあるときには、第2差動増幅部2は正常な動作ができないが、第1差動増幅部1が正常に動作するため演算増幅器として正常に動作する。



【特許請求の範囲】

【請求項 1】 入力信号が直接ゲートに入力される入力 MOSFET 対と定電流源とを有する第 1 差動増幅部と、

入力信号がレベルシフタ対を介してゲートに入力され、前記第 1 差動増幅部の入力 MOSFET 対と同じ極性の入力 MOSFET 対と定電流源とを有する第 2 差動増幅部と、

前記第 1 差動増幅部の出力と第 2 差動増幅部の出力を合成するカスコード MOSFET 対とロード回路とを有する信号合成回路とを備えることを特徴とする演算増幅器。

【請求項 2】 入力信号が直接ゲートに入力されるエンハンス領域の動作特性を示す入力 MOSFET 対と定電流源を有する第 1 差動増幅部と、

入力信号が直接ゲートに入力される前記第 1 差動増幅部の入力 MOSFET 対と同じ極性でデプレッション領域の動作特性を示す入力 MOSFET 対と定電流源とを含む第 2 差動増幅部と、

前記第 1 差動増幅部の出力と前記第 2 差動増幅部の出力を合成するカスコード MOSFET 対とロード回路とを有する信号合成回路とを備えることを特徴とする演算増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、同相信号レベルが正側の電源電圧から負側の電源電圧にわたり動作可能な演算増幅器に関する。

【0002】

【従来の技術】演算増幅器はアナログ回路において広く用いられており、演算増幅器の性能がアナログ回路の性能を支配するといっているほど、演算増幅器の性能は重要である。近年、電子機器の小型化が進行しており、同時に電池使用を前提にした低電圧動作をアナログ回路にも要求されるようになってきた。アナログ回路を低電圧で動作させると処理可能な信号レベルも低下せざるを得なくなり、S/N特性が損なわれるという問題が発生する。したがって、演算増幅器に対してはできるだけ信号処理電圧範囲を広く保つためにも、同相信号レベル範囲は広ければ広い程好ましく、同相信号レベル範囲が正側、負側それぞれの電源まで動作可能であれば最も好ましいといえる。しかしながら、従来の増幅器においては、このような演算増幅器は設計が困難であり、好ましい増幅器が提供できなかった。

【0003】図 5 に、従来用いてきた同相信号レベル範囲の大きな演算増幅器の例を示す。ここで、131 は NMOSFET を入力トランジスタとした第 1 差動増幅部、132 は PMOSFET を入力トランジスタとした第 2 差動増幅部、そして 133 は第 1 差動増幅部 131 と第 2 差動増幅部 132 の信号を合成して和をとる信号合成

回路である。図 5 に示した従来の回路では、同相信号レベルが V_{DD} 付近の時には、NMOSFET を入力 MOSFET とする第 1 差動増幅部 131 が動作する。また同相信号レベルが V_{SS} 付近の時には、PMOSFET を入力 MOSFET とする第 2 差動増幅部 132 が動作して、さらに V_{SS} および V_{DD} の中間付近では第 1 差動増幅部 131 および第 2 差動増幅部 132 が動作する。したがって、図 5 に示した従来の演算増幅器は、全ての同相信号にわたり動作が可能となっている。

【0004】

【発明が解決しようとする課題】この従来の演算増幅器のためには、第 1 および第 2 差動増幅部 131 および 132 の 2 種類を設計する必要がある。このため、設計に要する時間がかかるという問題がある。

【0005】さらに、従来の図 5 に示した回路のように出力部を構成したときには、図 6 に示すように同相信号レベルを V_{DD} 付近①、中央付近②、 V_{SS} 付近③と分けしたときに V_{DD} 付近①でロード MOSFET 151 および 152 に流れる電流値は $I_3 - I_2$ 、中央付近②で I_3 、 V_{SS} 付近③で $I_3 + I_1$ となり、各領域に対してロード MOSFET 151 および 152 に流れる電流値の変動が大きくなる。このために出力動作点が、同相信号レベルによって図 6 に示すように、カスコード MOSFET に流れる電流量に応じて変動し、結果的に入出力特性において歪を生ずるという問題点が生ずる。

【0006】また、バイアス端子 B_2 に印加するバイアス電圧を同相信号レベルに対して可変にして、バイアス電圧を受けるカスコード MOSFET 147 および 148 が常に飽和領域にあるように保たなくてはならないという問題がある。

【0007】したがって、本発明の目的は、同相信号レベル範囲が広く、歪みが少なく、しかも設計が容易な演算増幅回路を得ることが目的である。

【0008】

【課題を解決するための手段】上記目的を達成するために、請求項 1 の発明は、入力信号が直接ゲートに入力される入力 MOSFET 対と定電流源とを有する第 1 差動増幅部と、入力信号がレベルシフタ対を介してゲートに入力され、前記第 1 差動増幅部の入力 MOSFET 対と同じ極性の入力 MOSFET 対と定電流源とを有する第 2 差動増幅部と、前記第 1 差動増幅部の出力と第 2 差動増幅部の出力を合成するカスコード MOSFET 対とロード回路とを有する信号合成回路とを備えることを特徴とする演算増幅器である。

【0009】また、請求項 2 の発明は、入力信号が直接ゲートに入力されるエンハンス領域の動作特性を示す入力 MOSFET 対と定電流源を有する第 1 差動増幅部と、入力信号が直接ゲートに入力される前記第 1 差動増幅部の入力 MOSFET 対と同じ極性でデプレッション領域の動作特性を示す入力 MOSFET 対と定電流源とを

3

含む第2差動増幅部と、前記第1差動増幅部の出力と前記第2差動増幅部の出力を合成するカスコードMOSFET対とロード回路とを有する信号合成回路を備えることを特徴とする演算増幅器である。

【0010】

【作用】同相入力信号が V_{DD} と V_{SS} の中間近傍のときには、第1および第2差動増幅部および2共に正常に動作が可能である。したがって、演算増幅器は正常に動作する。次に、同相入力信号が V_{SS} 近傍にあるときには、第1差動増幅部は動作しない。一方、第2差動増幅部のレベルシフトの働きによって、第2差動増幅部の同相入力信号レベルは V_{DD} 側にシフトする。レベルシフトによって同相信号が V_{DD} 側にシフトすることで、第2差動増幅部の入力MOSFETは、オフすることなく正常に動作し、第1差動増幅部が動作しなくても、全体として演算増幅器は正常に動作する。また同相入力信号が V_{DD} 側にあるときには、第2差動増幅部のレベルシフトが V_{DD} にいつも張り付いているため、第2差動増幅部は正常な動作ができない。しかし、このときには第1差動増幅部が正常に動作するため、演算増幅器として正常に動作する。

【0011】このように、本発明の演算増幅器は、2種類の全く同じ回路構造を有した差動増幅部を有し、一方にレベルシフトを介して入力信号が入るようになっているため、同相入力信号範囲が広く、しかも設計が容易である。

【0012】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0013】本発明の一実施例の演算増幅器を図1に示す。図1において、1は入力MOSFET6と7および定電流源8からなる、通常用いられている回路構成の第1差動増幅部で、2は1と同じ構成の差動増幅部と入力端子対に接続されたソースフォロワ構成のレベルシフト4および5で構成された第2差動増幅部で、入力信号がレベルシフト4および5を介して、第2差動増幅部2の入力MOSFET9および10に印加される。3は第1および第2差動増幅部1および2の信号を合成する信号

$$I_{DS} = (W/L) \cdot K' \cdot (V_{GS} - V_{TH})^2 \quad (1)$$

ここで、 I_{DS} はMOS12を流れるドレイン・ソース間電流、 V_{TH} はしきい値、 W 、 L はそれぞれMOSのチャネル幅、チャネル長、 K' はゲインファクタと呼ばれる定数である。

【0017】このレベルシフト量は、同相入力信号が V_{SS} の時には差動増幅部2が動作するように定める必要がある。NMOSFET対9および10が正常に動作

$$V_{ON1} + V_{ON2} + V_{TH2}$$

以上なくてはならない。ここで、 V_{ON1} 、 V_{ON2} はそれぞれNMOSFET11の $(V_{GS} - V_{TH1})$ 、NMOSFET対9および10の $(V_{GS} - V_{TH2})$ 、 V_{TH1} 、 V

4

合成回路である。ここで、電流源24、26および16は回路の理解が容易にできるように、それぞれ挿入されているように記載したが、実際の回路ではいずれかひとつ実装して、その電流源の電流量はそれぞれの総和になるようにすれば良い。電流源25、27および17も同様に取り扱うことができる。

【0014】次に、この実施例の動作に関して説明する。まず同相入力信号が V_{DD} と V_{SS} の中間近傍のときには、第1および第2差動増幅部1および2はともに動作が可能である。したがって、演算増幅器全体は正常に動作する。次に、同相入力信号が V_{SS} 近傍にあるときには、第1差動増幅部1の入力MOSFET6および7がオフするために第1差動増幅部1は動作しない。一方、第2差動増幅部2のレベルシフト4および5の働きによって、第2差動増幅部2の同相入力信号レベルは V_{DD} 側にシフトする。このシフト量はレベルシフトに用いている入力MOSFET12および13のしきい値とサイズさらに電流値によって決まる。レベルシフト4および5によって同相信号が V_{DD} 側にシフトすることで、第2差動増幅部2の入力MOSFET9および10は、オフすることなく正常動作が可能である。この結果、第1の差動増幅部が動作しなくても、全体として演算増幅器は正常に動作する。また同相入力信号が V_{DD} 側にあるときには、第2差動増幅部2のレベルシフト4および5の出力が常に V_{DD} に張り付くため、第2差動増幅部2は正常な動作ができない。しかし、このときには第1差動増幅部1が正常に動作するため、演算増幅器としては正常に動作する。

【0015】ここで、図1で用いているレベルシフト4および5の動作について説明する。そのうちのひとつのレベルシフト4は、入力定電流源14と入力PMOSFET12とからなり、入力信号は正の電源である V_{DD} 側にシフトする。このシフト量はPMOSFET12のゲート・ソース間電圧 V_{GS} であり、 V_{GS} は次の式で決まる。

【0016】

【数1】

するためにはNMOSFET対9および10ならびに定電流源として用いているMOSFET11が飽和領域で動作しなくてはならない。このためにはNMOSFET対9および10のゲートに印加するべく動作点電圧は

【0018】

【数2】

(2)

V_{TH2} はそれぞれNMOSFET11のしきい値電圧、NMOSFET対9および10のしきい値電圧である。

【0019】この演算増幅器では、第1および第2差動

5

増幅部 1 および 2 の構成は同一でよいので、設計が非常に容易になる。

【0020】同相入力信号を V_{SS} 付近、中央付近、 V_{DD} 付近と分けしたときに、 V_{SS} 付近で差動増幅部 1 内の入力 MOSFET 6, 7 はオフするために、ロード MOSFET 22 および 23 に流れる電流は $I_3 + I_1$ である。中央付近では、第 1 および第 2 差動増幅部 1 および 2 はいずれも動作しているため、ロード MOSFET 22 および 23 に流れる電流は I_3 である。 V_{DD} 付近では、レベルシフト 4 および 5 の出力はいずれも V_{DD} となり飽和しているが、第 2 差動増幅部 2 内の入力 MOSFET 対 9 および 10 は ON のままなので、ロード MOSFET 22, 23 に流れる電流は I_3 となる。この結果、図 5 に示した従来の回路よりも、ロード MOSFET での各領域に対しての変動が少なくなり、結果として入出力特性に対して歪が減少する。

【0021】また図 1 の説明では、NMOSFET を入力 MOSFET として例に挙げたが、PMOSFET の場合でも、同様の手法に基づいて設計すれば同じ効果が得られるのは明らかである。

【0022】図 1 の説明においては、レベルシフト 4 および 5 はソースフォロワ回路を用いたが、例えばバイポーラ回路を使用したエミッタフォロワ等、入力信号が所望量だけシフトできればなんでもよい。

【0023】また、第 2 差動増幅部 2 にレベルシフトを用いない、本発明の一実施例の回路構成を、図 2 に示す。図 2 において、31 は第 1 差動増幅部、32 は第 2 差動増幅部そして 33 は信号合成回路である。

【0024】第 1 差動増幅部 31 において、入力 MOSFET 対 36 および 37 の入力 V_{GS} のときにおいても動作が可能になるように、エンハンスメント型の MOSFET を入力 MOSFET として使用している。

【0025】第 2 差動増幅部 32 において、入力 MOSFET 対 39 および 40 の入力 V_{SS} のときにおいても動作が可能になるように、デプリーション型の NMOSFET を入力 MOSFET として使用している。

【0026】デプリーション型 NMOSFET とエンハンスメント型 NMOSFET の性能の主な違いは、しきい値電圧だけでその他の基本的な性能はほとんど同じである。エンハンスメント型もデプリーション型もしきい値以外同じものとして設計ができる。そこで、第 2 差動増幅部 32 の入力 MOSFET 39 および 40 のしきい値を、 V_{SS} のときにおいても動作が可能になるように設定している。このため、図 1 におけるレベルシフト 4 および 5 がなくても図 1 に示した回路構成と同様の動作を行うことができる。

【0027】また、信号合成回路を単一出力が取り出せるものとした本発明の一実施例の回路構成を、図 3 に示す。図 3 において、61 は第 1 差動増幅部、62 は第 2 差動増幅部そして 63 は信号合成回路である。第 1 差動

6

増幅部および第 2 差動増幅部の構成・動作は、図 1 に示した演算増幅器と同じであるので、説明を省略する。

【0028】さて、信号合成回路 63 において、MOSFET 78 および 79 は、カスコード MOSFET で信号の増幅を行う。図 1 に示した信号合成回路 3 が、カスコード回路でしかも全差動出力が得られるように構成されているのに対して、信号合成回路 63 は、単一のロード MOSFET 対で、しかも片側のロード MOSFET のゲート、ドレインが接続されており、1 つの合成された出力が得られる。このため、合成された後の信号をレベルシフトさせたりまた増幅させたりするのに、従来の増幅回路の取り扱いと全く同じで済むという点でも設計が容易である。

【0029】図 3 の回路に対してさらに性能を上げるために、図 4 に示すような出力用増幅部とか単位ゲインバッファを追加するなどしてもよい。図 4 において、91 は第 1 差動増幅部、92 は第 2 差動増幅部、93 は信号合成回路である。これらの回路は図 3 に示した回路と同じの構成・動作であるので、説明を省略する。また、118 は出力増幅回路である。

【0030】出力増幅回路 118 は、MOSFET 119 および 120 で構成され、信号合成回路 93 の出力信号の増幅と出力電流能力を向上する。また、抵抗 121、コンデンサ 122 は、位相余裕を十分保つために用いている。

【0031】

【発明の効果】このように、本発明の演算増幅器は、2 種類の全く同じ回路構造を有した差動増幅部を有し、そのうちの一方にレベルシフトを介して入力信号が入るようになっていたため、同相入力信号範囲が広く、しかも設計が容易であるという効果がある。

【図面の簡単な説明】

【図 1】本発明の実施例である演算増幅器の回路図である。

【図 2】本発明の実施例である演算増幅器の回路図である。

【図 3】他の信号合成回路を用いた本発明の演算増幅器の回路図である。

【図 4】出力増幅回路を付加した本発明の演算増幅器の回路図である。

【図 5】従来の演算増幅器の回路図である。

【図 6】従来の演算増幅器の入出力特性を説明する図である。

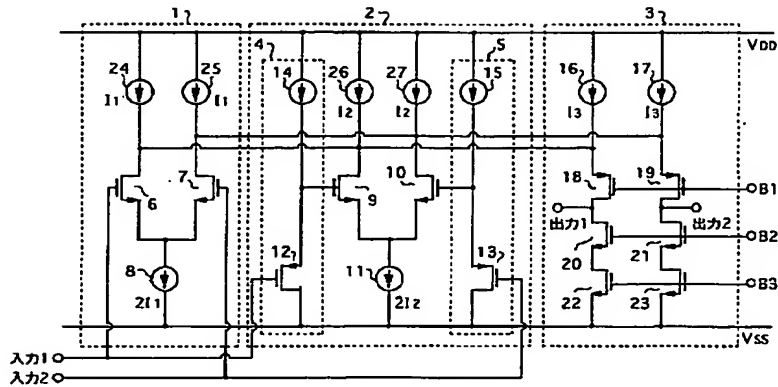
【符号の説明】

- 1 第 1 差動増幅部
- 2 第 2 差動増幅部
- 3 信号合成回路
- 4, 5 レベルシフト
- 31 第 1 差動増幅部
- 32 第 2 差動増幅部

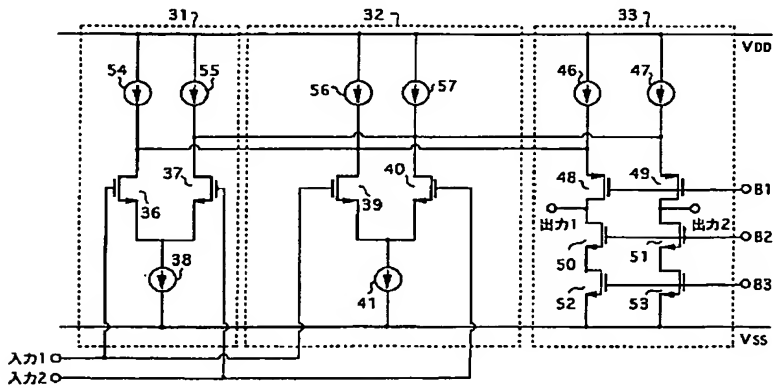
3 3 信号合成回路
 6 1 第 1 差動増幅部
 6 2 第 2 差動増幅部
 6 3 信号合成回路
 9 1 第 1 差動増幅部
 9 2 第 2 差動増幅部

9 3 信号合成回路
 1 1 8 出力増幅回路
 1 3 1 第 1 差動増幅部
 1 3 2 第 2 差動増幅部
 1 3 3 信号合成回路

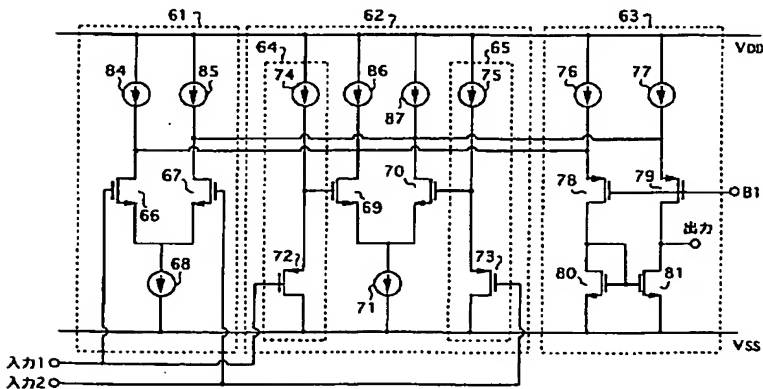
【図 1】



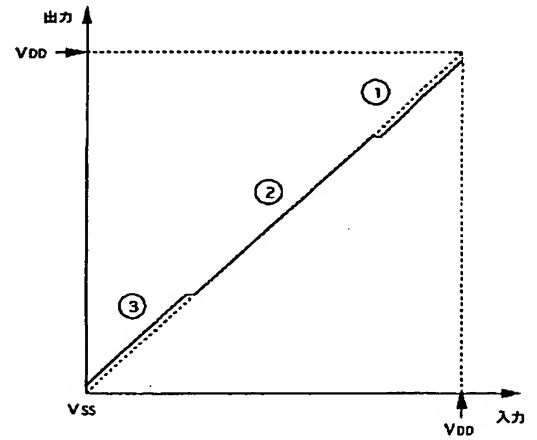
【図 2】



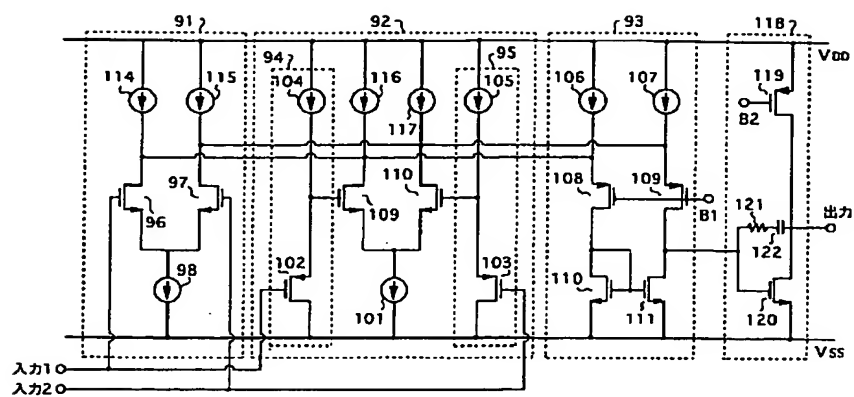
【図 3】



【図 6】



【図 4】



【図 5】

